

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: T. YASUI, et al.

Application No.: New Patent Application

Filed: March 16, 2004

For: SEMICONDUCTOR INTEGRATED CIRCUIT

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir:

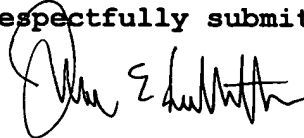
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2003-077807, filed March 20, 2003.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: March 16, 2004

JEL/apg
Attorney Docket No. L8462.04109
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月20日

出 願 番 号

Application Number:

特願2003-077807

[ST.10/C]:

[JP 2003-077807]

出 願 人

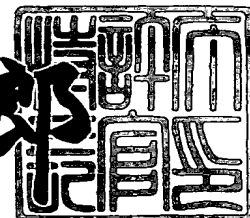
Applicant(s):

松下電器産業株式会社

2003年 6月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3050607

【書類名】 特許願

【整理番号】 5037540134

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社内

【氏名】 安井 卓也

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社内

【氏名】 松村 陽一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100076174

【弁理士】

【氏名又は名称】 宮井 暎夫

【選任した代理人】

【識別番号】 100105979

【弁理士】

【氏名又は名称】 伊藤 誠

【手数料の表示】

【予納台帳番号】 010814

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 通常動作時にそれぞれ通常動作クロック信号によって動作し、スキャンテスト時にスキャンチェーンを構成してスキャン用クロック信号によって動作する複数のフリップフロップ回路と、

通常動作クロック外部入力端子または内部クロック発生回路から入力される前記通常動作クロック信号を前記フリップフロップ回路へ伝播する通常動作クロック回路と、

スキャン用クロック外部入力端子から入力される前記スキャン用クロック信号を前記フリップフロップ回路へ伝播するスキャン用クロック回路とを備え、

前記スキャン用クロック回路は、格子状の配線部を有し、前記格子状の配線部から取り出した前記スキャン用クロック信号を前記フリップフロップ回路へ供給するようにした半導体集積回路。

【請求項 2】 スキャン用クロック回路の格子状の配線部の内部およびその近傍の領域にフリップフロップ回路が配置され、前記スキャン用クロック回路は、その格子状の配線部ではその中央にスキャン用クロック外部入力端子から伝播されるスキャン用クロック信号を入力し、前記格子状の配線部のそれぞれ所定の位置からスキャン用クロック信号を取り出してそれぞれのフリップフロップ回路へ供給するようにしたことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 それぞれのフリップフロップ回路に対してセレクト回路を設け、前記セレクト回路は、通常動作クロック回路によって伝播される通常動作クロック信号とスキャン用クロック回路によって伝播されるスキャン用クロック信号とを入力し、通常動作時には前記通常動作クロック信号を選択して前記フリップフロップ回路へ出力し、スキャンテスト時には前記スキャン用クロック信号を選択して前記フリップフロップ回路へ出力するようにしたことを特徴とする請求項 1 または 2 記載の半導体集積回路。

【請求項 4】 通常動作クロック回路は、通常動作クロック信号の伝播経路をツリー状に構成したことを特徴とする請求項 1 ～ 3 のうちのいずれかに記載

の半導体集積回路。

【請求項 5】 通常動作クロック回路で伝播される通常動作クロック信号が複数種類あり、スキャンチェーンを構成するそれぞれのフリップフロップ回路には複数種類のうちのいずれか 1 種類の前記通常動作クロック信号が供給されるときともに通常動作時に同期する前記フリップフロップ回路には同じ種類の前記通常動作クロック信号が供給され、前記通常動作クロック回路は、各種類ごとの通常動作クロック信号の伝播経路をツリー状に構成したことを特徴とする請求項 1～3 のうちのいずれかに記載の半導体集積回路。

【請求項 6】 スキャン用クロック回路は、スキャン用クロック外部入力端子と格子状の配線部との間に前記格子状の配線部を駆動する駆動素子を接続し、

前記駆動素子の電源配線が通常動作クロック回路を構成する素子の電源配線に比べて配線幅が太く低抵抗であることを特徴とする請求項 1～5 のうちのいずれかに記載の半導体集積回路。

【請求項 7】 スキャン用クロック回路は、スキャン用クロック外部入力端子と格子状の配線部との間に前記格子状の配線部を駆動する駆動素子を接続し、

前記駆動素子の電源電圧を、通常動作クロック回路を構成する素子の電源電圧よりも低くしたことを特徴とする請求項 1～5 のうちのいずれかに記載の半導体集積回路。

【請求項 8】 スキャン用クロック回路は、スキャン用クロック外部入力端子と格子状の配線部との間に前記格子状の配線部を駆動する駆動素子を接続し、

前記駆動素子から前記格子状の配線部を介してそれぞれのフリップフロップ回路に伝播されるスキャン用クロック信号の前記駆動素子からの最短の伝播経路が長い前記フリップフロップ回路から短い前記フリップフロップ回路に向けてスキャンチェーン接続したことを特徴とする請求項 1～5 のうちのいずれかに記載の半導体集積回路。

【請求項 9】 通常動作クロック回路の通常動作クロック信号の伝播経路となる配線の一部をスキャン用クロック回路の格子状の配線部の配線と並行に配置し、通常動作時にはスキャン用クロック信号に代えて接地電位に固定された信号を用い、スキャンテスト時には通常動作クロック信号に代えて接地電位に固

定された信号を用いることを特徴とする請求項1～5のうちのいずれかに記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、内部回路の接続状態などをテストするためのスキャンテスト回路を備えた半導体集積回路に関するものである。

【0002】

【従来の技術】

半導体集積回路では、製造した半導体の動作確認のため、テスト回路を組み込んでテストを行う一般的な手法として、スキャンテストがある。スキャンテストでは、全半導体素子の製造上の不良を確認するために、通常動作以外に、低周波数のクロック信号にて、各半導体素子が動作しているかを確認する。

【0003】

図7は従来の半導体集積回路におけるスキャンテスト回路のクロック配線構造を示す概念図です。

【0004】

このクロック配線構造は、制御信号Enableによってスキャン用クロック信号SCKと通常動作用クロック信号NCKのいずれかを選択して出力するセレクタ600と、チェーン状に接続されたスキャン用のフリップフロップ回路（以下「FF回路」という）F500と、FF回路F500にクロック信号を伝播するバッファN501とを備えている。

【0005】

スキャンテスト時は、スキャン入力から信号を入力し、FF回路F500を繋ぐチェーンを経由してスキャン出力に信号を伝播させ、その信号を観測することで半導体素子の良・不良を確認する。FF回路F500間を接続するチェーンは、隣接するFF回路F500間で接続されるため、信号の伝播時間が短く、通常動作時に比べて誤動作しやすいという課題がある。

【0006】

従来、スキャン回路の設計方法では、スキャンテスト時の誤動作を防止するため主な手法として、以下の2つがあった。

(1) シミュレーション結果などに基づいて、スキャンチェーン上に遅延素子の挿入や反転のラッチ回路を挿入することで、スキャンチェーンの信号の伝播を遅らせる。

(2) シミュレーション結果などに基づいて、スキャンチェーンの接続を変更し、スキャンチェーンの配線長を長くすることで、スキャンチェーンの信号の伝播を遅らせる。

【0007】

例えば特許文献1には、クロックスキューに応じてスキャンチェーンの接続方法を変更することでスキャンテスト時の誤動作を防止する手法が記載されている。

【0008】

【特許文献1】

特開平7-192043号公報

【0009】

【発明が解決しようとする課題】

しかしながら、プロセスの微細化で、特に0.13 μ m以細のプロセスでは遅延計算誤差や製造ばらつきによる遅延変動があるため、シミュレーション結果と実物の動作状況が異なる場合がある。一般的に、遅延計算誤差は数%程度あり、製造ばらつきは数十%の誤差が発生すると言われている。そのため、従来のようにシミュレーション結果に応じてスキャンチェーンの再接続をしても、良品の実LSIがスキャンテスト時にフェイルするといった課題があった。

【0010】

本発明の目的は、微細プロセスにおいて製造ばらつき、遅延計算誤差などシミュレーションで検出されない要因による遅延差（クロックスキュー）の発生を防止し、スキャンテスト時の回路の誤動作を防止することができる半導体集積回路を提供することである。

【0011】

【課題を解決するための手段】

請求項 1 記載の半導体集積回路は、通常動作時にそれぞれ通常動作クロック信号によって動作し、スキャンテスト時にスキャンチェーンを構成してスキャン用クロック信号によって動作する複数のフリップフロップ回路と、通常動作クロック外部入力端子または内部クロック発生回路から入力される通常動作クロック信号をフリップフロップ回路へ伝播する通常動作クロック回路と、スキャン用クロック外部入力端子から入力されるスキャン用クロック信号をフリップフロップ回路へ伝播するスキャン用クロック回路とを備え、スキャン用クロック回路は、格子状の配線部を有し、格子状の配線部から取り出したスキャン用クロック信号をフリップフロップ回路へ供給するようにしている。

【0012】

この請求項 1 の構成によれば、スキャン用クロック回路と通常動作クロック回路とを分離し、スキャン用クロック回路に格子状の配線部を設け、その格子状の配線部のスキャン用クロック信号をフリップフロップ回路へ供給するようにしたことにより、微細プロセスにおいてスキャンテスト時に遅延計算誤差や製造ばらつきの影響によるクロックスキューの発生を防止し、スキャンチェーン回路の誤動作を防止することができる。

【0013】

請求項 2 記載の半導体集積回路は、請求項 1 記載の半導体集積回路において、スキャン用クロック回路の格子状の配線部の内部およびその近傍の領域にフリップフロップ回路が配置され、スキャン用クロック回路は、その格子状の配線部ではその中央にスキャン用クロック外部入力端子から伝播されるスキャン用クロック信号を入力し、格子状の配線部のそれぞれ所定の位置からスキャン用クロック信号を取り出してそれぞれのフリップフロップ回路へ供給するようにしたことを特徴とする。

【0014】

この請求項 2 の構成によれば、請求項 1 の効果に加え、格子状の配線部の中央にスキャン用クロック信号が伝播されてくるので、格子状の配線部の任意の位置でフリップフロップ回路へ供給するスキャン用クロック信号を取り出しても、各

フリップフロップ回路におけるスキャン用クロック信号の遅延差の発生を防止できる。

【0015】

請求項3記載の半導体集積回路は、請求項1または2記載の半導体集積回路において、それぞれのフリップフロップ回路に対してセレクト回路を設け、セレクト回路は、通常動作クロック回路によって伝播される通常動作クロック信号とスキャン用クロック回路によって伝播されるスキャン用クロック信号とを入力し、通常動作時には通常動作クロック信号を選択してフリップフロップ回路へ出力し、スキャンテスト時にはスキャン用クロック信号を選択してフリップフロップ回路へ出力するようにしたことを特徴とする。

【0016】

この請求項3の構成によれば、請求項1または2の効果に加え、セレクト回路を設けることで、フリップフロップ回路へ入力するクロックを通常動作時とスキャンテスト時とで容易に切り替えることができる。

【0017】

請求項4記載の半導体集積回路は、請求項1～3のうちのいずれかに記載の半導体集積回路において、通常動作クロック回路は、通常動作クロック信号の伝播経路をツリー状に構成したことを特徴とする。

【0018】

この請求項4の構成によれば、請求項1～3のうちのいずれかの効果に加え、通常動作クロック信号の伝播経路をツリー状に構成したことにより、通常動作クロック回路の回路構成を小さくして、通常動作時に同期するフリップフロップ回路の通常動作クロック信号の遅延を制御することができ、回路構成が小さくなることでクロックの遅延が削減され、製造ばらつきの影響を受けにくくなる。

【0019】

請求項5記載の半導体集積回路は、請求項1～3のうちのいずれかに記載の半導体集積回路において、通常動作クロック回路で伝播される通常動作クロック信号が複数種類あり、スキャンチェーンを構成するそれぞれのフリップフロップ

ブ回路には複数種類のうちのいずれか 1 種類の通常動作クロック信号が供給されるとともに通常動作時に同期するフリップフロップ回路には同じ種類の通常動作クロック信号が供給され、通常動作クロック回路は、各種類ごとの通常動作クロック信号の伝播経路をツリー状に構成したことを特徴とする。

【 0 0 2 0 】

この請求項 5 の構成によれば、請求項 1 ～ 3 のうちのいずれかの効果に加え、通常動作クロック回路で伝播される通常動作クロック信号が複数種類ある場合に、各種類ごとの通常動作クロック信号の伝播経路をツリー状に構成したことにより、通常動作クロック回路の回路構成を小さくして、通常動作時に同期するフリップフロップ回路の通常動作クロック信号の遅延を制御することができ、回路構成が小さくなることでクロックの遅延が削減され、製造ばらつきの影響を受けにくくなる。

【 0 0 2 1 】

請求項 6 記載の半導体集積回路は、請求項 1 ～ 5 のうちのいずれかに記載の半導体集積回路において、スキャン用クロック回路は、スキャン用クロック外部入力端子と格子状の配線部との間に格子状の配線部を駆動する駆動素子を接続し、駆動素子の電源配線が通常動作クロック回路を構成する素子の電源配線に比べて配線幅が太く低抵抗であることを特徴とする。

【 0 0 2 2 】

この請求項 6 の構成によれば、請求項 1 ～ 5 のうちのいずれかの効果に加え、スキャン用クロック回路の格子状の配線部を駆動する駆動素子の電源配線が通常動作クロック回路を構成する素子の電源配線に比べて配線幅が太く低抵抗であることにより、駆動素子による I R - D r o p を防止し、スキャンテスト時の動作を安定化させることができる。

【 0 0 2 3 】

請求項 7 記載の半導体集積回路は、請求項 1 ～ 5 のうちのいずれかに記載の半導体集積回路において、スキャン用クロック回路は、スキャン用クロック外部入力端子と格子状の配線部との間に格子状の配線部を駆動する駆動素子を接続し、駆動素子の電源電圧を、通常動作クロック回路を構成する素子の電源電圧より

も低くしたことを特徴とする。

【0024】

この請求項7の構成によれば、請求項1～5のうちのいずれかの効果に加え、スキャン用クロック回路の格子状の配線部を駆動する駆動素子の電源電圧を、通常動作クロック回路を構成する素子の電源電圧よりも低くすることにより、格子状の配線部を駆動する駆動素子の出力信号の振幅幅を他の信号に比べて小さくし、面積増加を最低限度に抑え、配線容量の大きい格子状の配線部の電源電圧を低くすることで消費電力を低減することができる。

【0025】

請求項8記載の半導体集積回路は、請求項1～5のうちのいずれかに記載の半導体集積回路において、スキャン用クロック回路は、スキャン用クロック外部入力端子と格子状の配線部との間に格子状の配線部を駆動する駆動素子を接続し、駆動素子から格子状の配線部を介してそれぞれのフリップフロップ回路に伝播されるスキャン用クロック信号の駆動素子からの最短の伝播経路が長いフリップフロップ回路から短いフリップフロップ回路に向けてスキャンチェーン接続したことを特徴とする。

【0026】

この請求項8の構成によれば、請求項1～5のうちのいずれかの効果に加え、スキャン用クロック回路の格子状の配線部を駆動する駆動素子から格子状の配線部を介してそれぞれのフリップフロップ回路に伝播されるスキャン用クロック信号の駆動素子からの最短の伝播経路が長いフリップフロップ回路から短いフリップフロップ回路に向けてスキャンチェーン接続したことにより、格子状の配線部の遅延差とフリップフロップ回路の I R - D r o p 量の差による遅延差が要因となるホールドエラーが防止され、スキャンテスト時の誤動作を防止することができる。

【0027】

請求項9記載の半導体集積回路は、請求項1～5のうちのいずれかに記載の半導体集積回路において、通常動作クロック回路の通常動作クロック信号の伝播経路となる配線の一部をスキャン用クロック回路の格子状の配線部の配線と並

行に配置し、通常動作時にはスキャン用クロック信号に代えて接地電位に固定された信号を用い、スキャンテスト時には通常動作クロック信号に代えて接地電位に固定された信号を用いることを特徴とする。

【0028】

この請求項9の構成によれば、請求項1～5のうちのいずれかの効果に加え、通常動作クロック回路の通常動作クロック信号の伝播経路となる配線の一部をスキャン用クロック回路の格子状の配線部の配線と並行に配置し、通常動作時にはスキャン用クロック信号に代えて接地電位に固定された信号を用い、スキャンテスト時には通常動作クロック信号に代えて接地電位に固定された信号を用いることにより、それぞれの配線がシールドの役割を果たし、配線面積を増加させることなくクロストークノイズを防止することができる。

【0029】

【発明の実施の形態】

(第1の実施の形態)

第1の実施の形態について、図1～図3を用いて説明する。

【0030】

図1は第1の実施の形態の半導体集積回路に係わる通常動作のクロック配線とスキャン用のクロック配線構造を示す概念図である。

【0031】

本実施の形態の半導体集積回路は、スキャン用のクロック回路の格子配線S500と、スキャン用のクロック回路の格子配線S500の中心に配置された駆動素子S501と、スキャン用のフリップフロップ回路(以下「FF回路」という)F500と、スキャン用クロック信号SCKと通常動作クロック信号NCK(NCK1, NCK2, NCK3等)を選択して出力するセクタ回路SL500と、通常動作のクロック回路の信号を駆動する素子N501とを備えている。本実施の形態では、スキャン用クロック回路の駆動素子S501、通常動作クロック回路の駆動素子N501には、それぞれバッファを用いているが、インバータを用いても構わない。

【0032】

図 2 は第 1 の実施の形態に係わるスキャン用クロック回路のクロック配線構造と素子との配置関係を示した図である。尚、図 2 ではセクタ回路 S L 5 0 0 を省略している。

【 0 0 3 3 】

スキャン用のクロック回路の格子配線 S 5 0 0 の中心に駆動素子 S 5 0 1 が配置され、スキャン用の F F 回路 F 5 0 0 が格子配線 S 5 0 0 の内部領域およびその近傍の領域に配置される。

【 0 0 3 4 】

通常動作用のクロック回路に入力される複数の通常動作クロック信号 N C K (N C K 1 , N C K 2 , N C K 3 等) は、それぞれ周波数が異なり、通常動作クロック外部入力端子 (図示せず) または内部クロック発生回路 (図示せず) から入力され、通常動作用のクロック回路を伝播しセクタ回路 S L 5 0 0 を介しスキャン用の F F 回路 F 5 0 0 へ供給される。このようにスキャン用の F F 回路 F 5 0 0 は、通常動作時には複数のクロック信号 N C K で動作し、それぞれ異なるクロック信号が入力される。通常動作時のクロック信号 N C K は、駆動素子 N 5 0 1 で駆動されて伝播し、駆動素子 N 5 0 1 はツリー構造でスキャン用 F F 回路 F 5 0 0 へのクロック信号の到着時間を制御する。また、図 1 の例では通常動作用のクロック回路は複数のツリー構造を有し、スキャン時には同期しても、通常動作時には同期しない F F 回路 F 5 0 0 間の到着時間は、異なるツリー構造でクロック信号の到着時間を制御するため、クロック信号によって遅延時間は異なる。

【 0 0 3 5 】

スキャン用クロック S C K は、スキャン用クロック外部入力端子 (図示せず) から入力され、スキャン用のクロック回路を伝播しセクタ回路 S L 5 0 0 を介し F F 回路 F 5 0 0 へ供給される。スキャン用のクロック回路は、図 2 のように格子配線 S 5 0 0 の中心にスキャン用クロック S C K を入力する駆動素子 S 5 0 1 が配置され、駆動素子 S 5 0 1 の出力が格子配線 S 5 0 0 の中心部に接続されている。そしてスキャンテスト時に同期する全てのスキャン用 F F 回路 F 5 0 0 のクロック端子がそれぞれセクタ回路 S L 5 0 0 を介して格子配線 S 5 0 0 に

接続されている。

【 0 0 3 6 】

セクタ回路 S L 5 0 0 は、スキャン用の F F 回路 F 5 0 0 のクロック端子の直前に挿入され、通常動作時には通常動作クロック信号 N C K を選択し F F 回路 F 5 0 0 へ出力し、スキャンテスト時にはスキャン用クロック信号 S C K を選択し F F 回路 F 5 0 0 へ出力する。このセクタ回路 S L 5 0 0 の選択動作の切替え制御は、例えばテストモード信号（図示せず）を制御信号として入力する構成とし、テストモード信号の入力の有無により選択するクロック信号を切り替えるようにすればよい。

【 0 0 3 7 】

また、スキャン用の F F 回路 F 5 0 0 は、スキャンテスト時にはスキャンチェーン接続が有効となりシフトレジスタを構成するが、通常動作時にはスキャンチェーン接続が無効となりそれぞれ個別に動作する。このスキャン用の F F 回路 F 5 0 0 のスキャンチェーン接続の有効・無効の切替えは、セクタ回路 S L 5 0 0 同様、テストモード信号を用いて制御するように構成できる。

【 0 0 3 8 】

以上のように本実施の形態によれば、スキャン用クロック回路を通常動作クロック回路と分離し、スキャン用クロック回路に格子配線 S 5 0 0 を設け、その格子配線 S 5 0 0 からスキャン用クロック信号 S C K を F F 回路 F 5 0 0 へ供給するようにしたことにより、微細プロセスにおいて遅延計算誤差や製造ばらつきの影響によるクロックスキューの発生を防止し、スキャンテスト時の誤動作を防止することができる。

【 0 0 3 9 】

また、通常動作クロック回路は、通常動作時に同期する F F 回路 F 5 0 0 のみのクロック信号の遅延をツリー構造で制御し、最小限の構成のクロック回路で F F 回路 F 5 0 0 を制御することができ、消費電力を削減することができる。また、回路構成が小さくなることでクロックの遅延が削減され、製造ばらつきの影響を受けにくくなる。

【 0 0 4 0 】

なお、スキャン用クロック SCK と通常動作クロック NCK を選択するセレクタ回路 SL500 に接続されるスキャン用 FF 回路 F500 の個数は、図 3 (a) のように 1 個であってもよいし、図 3 (b)、(c) のように複数個であってもよい。図 1 では、セレクタ回路 SL500 にそれぞれ 1 個のスキャン用 FF 回路 F500 が接続された例を示し、図 2 では 2 個のスキャン用 FF 回路 F500 が接続される例（ただしセレクタ回路 SL500 は図示せず）を示しているが、それぞれのセレクタ回路 SL500 に接続されるスキャン用 FF 回路 F500 の個数が異なってもよい。

【 0 0 4 1 】

（第 2 の実施の形態）

第 2 の実施の形態について、図 4 を用いて説明する。

【 0 0 4 2 】

図 4 は第 2 の実施の形態の半導体集積回路に係わる通常動作のクロック配線とスキャン用のクロック配線構造と電源配線構造を示した図であり、第 1 の実施の形態と同様のものには同一符号を付してその説明を省略する。

【 0 0 4 3 】

この第 2 の実施の形態では、第 1 の実施の形態の構成において、スキャン用クロック回路の駆動素子 S501 の電源配線を補強電源配線 P500 として、通常動作クロック回路の駆動素子 N501 等の他の電源配線（図示せず）よりも配線幅を太くして抵抗値を小さくしたことを特徴とし、この場合、駆動素子 S501 が配置される領域 R500 と駆動素子 N501 が配置される領域 R501 とが区別される。この他の構成については、第 1 の実施の形態と同様である。尚、図 4 ではセレクタ回路 SL500 を省略して示してあり、通常動作のクロック回路の配線 N500 で駆動素子 N501 とスキャン用の FF 回路 F500 とが接続されているが、実際は図 1 のようにセレクタ回路 SL500 を介して接続される。

【 0 0 4 4 】

本実施の形態によれば、第 1 の実施の形態の効果に加え、駆動素子 S501 にのみ低抵抗の補強電源配線 P500 を用いて電源供給を行うことで、電流の供給

源から素子 S 5 0 1 までの抵抗を下げることで、消費電力の大きい、格子配線 S 5 0 0 を駆動する素子 S 5 0 1 による I R - D r o p を防止することができ、スキャン動作時の動作を安定化させることができる。

【 0 0 4 5 】

(第 3 の実施の形態)

第 3 の実施の形態について、第 2 の実施の形態と同じ図 4 を用いて説明する。

【 0 0 4 6 】

図 4 は第 3 の実施の形態に係わる通常動作のクロック配線とスキャン用のクロック配線構造と電源配線構造を示した図であり、第 1 の実施の形態と同様のものには同一符号を付してその説明を省略する。

【 0 0 4 7 】

この第 3 の実施の形態では、第 1 の実施の形態の構成において、スキャン用クロック回路の駆動素子 S 5 0 1 の電源配線 P 5 0 0 に、通常動作用クロック回路の駆動素子 N 5 0 1 等の他の電源配線（図示せず）に供給する電圧よりも低電圧を供給するようにしたことを特徴とし、この場合、駆動素子 S 5 0 1 が配置される領域 R 5 0 0 と駆動素子 N 5 0 1 が配置される領域 R 5 0 1 とが区別される。この他の構成については、第 1 の実施の形態と同様である。したがって、第 3 の実施の形態では、電源配線 P 5 0 0 は他の電源配線（図示せず）と同じ配線幅である。

【 0 0 4 8 】

本実施の形態によれば、第 1 の実施の形態の効果に加え、駆動素子 S 5 0 1 の電源電圧を、駆動素子 N 5 0 1 やスキャン用 F F 回路 F 5 0 0 等に供給する電源電圧より低く設定することで、駆動素子 S 5 0 1 が駆動する格子配線 S 5 0 0 を伝播する信号の振幅幅を他の信号の振幅に比べて小さくしている。このように、駆動素子 S 5 0 1 のみに低電源電圧を供給することで、面積増加を最低限度に抑え、配線容量の大きい格子配線 S 5 0 0 の電源電圧を低くすることで消費電力が大幅に低減することができる。

【 0 0 4 9 】

(第 4 の実施の形態)

第 4 の実施の形態について、図 5 を用いて説明する。

【 0 0 5 0 】

図 5 は第 4 の実施の形態の半導体集積回路に係わるスキャン用のクロック配線構造とスキャンチェーンの接続の配線構造を示した図であり、第 1 の実施の形態と同様のものには同一符号を付してその説明を省略する。

【 0 0 5 1 】

この第 4 の実施の形態では、第 1 の実施の形態の構成において、スキャン用クロック回路の駆動素子 S 5 0 1 から格子配線 S 5 0 0 を介して伝播されるスキャン用クロック信号 S C K (図 1) の最短の伝播経路が長い F F 回路 5 0 0 から短い F F 回路 5 0 0 に向けてスキャンデータが送られるようにスキャンチェーン接続 (C 5 0 0) したことを特徴とする。スキャン用 F F 回路 5 0 0 の例えば F F 回路 F 5 0 1 ~ F 5 0 4 のスキャンチェーン接続順序は、駆動素子 S 5 0 1 からの伝播経路が最も長いスキャン用 F F 回路 F 5 0 1 から、F 5 0 2、F 5 0 3、F 5 0 4 の順に接続されている。この他の構成については、第 1 の実施の形態と同様である。

【 0 0 5 2 】

スキャン動作時のクロック信号の遅延は、格子配線 S 5 0 0 の場合、配線遅延の影響で駆動素子 S 5 0 1 からの距離が長い程大きくなる傾向にある。また、I R - D r o p 量は回路の中央ほど大きく外側ほど小さいため、スキャン用の F F 回路 F 5 0 0 から出力される信号の伝播の速度は、中央ほど速く、外側ほど遅い。そのため、クロック信号の伝播遅延が大きく、動作の遅い格子配線 S 5 0 0 の外側に位置するスキャン用の F F 回路 F 5 0 0 から、クロック信号の伝播速度が速く、動作の速い格子配線 S 5 0 0 の中央に近いスキャン用の F F 回路 F 5 0 0 に向けてスキャンチェーンを接続することで、ホールドエラーが防止され、スキャン動作時の誤動作を防止することができる。なお、第 1 の実施の形態と同様の効果も得られることは言うまでもない。

【 0 0 5 3 】

(第 5 の実施の形態)

第 5 の実施の形態について、図 6 を用いて説明する。

【 0 0 5 4 】

図 6 は第 5 の実施の形態の半導体集積回路に係わる通常動作用のクロック配線とスキャン用のクロック配線構造を示した図であり、第 1 の実施の形態と同様のものには同一符号を付してその説明を省略する。

【 0 0 5 5 】

この第 5 の実施の形態では、第 1 の実施の形態の構成において、通常動作用クロック回路の配線 N 5 0 0 の一部をスキャン用クロック回路の格子配線 S 5 0 0 の配線と並行に配置し、通常動作時にはスキャン用クロック信号 S C K に代えて接地電位に固定された信号を用い、スキャンテスト時には通常動作用クロック信号 N C K に代えて接地電位に固定された信号を用いることを特徴とし、この他の構成は第 1 の実施の形態と同様である。尚、図 5 ではセクタ回路 S L 5 0 0 を省略している。

【 0 0 5 6 】

本実施の形態によれば、第 1 の実施の形態の効果に加え、通常動作時には、スキャン用のクロック信号 S C K に代えて接地電位を印加することで、通常動作用のクロック回路の配線 N 5 0 0 に隣接するスキャン用のクロック回路の格子配線 S 5 0 0 がシールド配線の役割を果たし、クロストークノイズを防止することができる。また、スキャン動作時には、通常動作用のクロック信号 N C K に代えて接地電位を印加することで、スキャン用のクロック回路の格子配線 S 5 0 0 に隣接する通常動作用のクロック回路の配線 N 5 0 0 がシールド配線の役割を果たし、クロストークノイズを防止することができる。このように、スキャン用のクロック配線と通常動作用のクロック配線同士をそれぞれシールド配線として活用することで、シールド専用の配線を生成することなく、クロストークを防止でき、面積削減ができる。

【 0 0 5 7 】

なお、上記の第 1 ～第 5 の実施の形態では、例えば図 1 に示されるように、スキャンチェーンを構成する複数のスキャン用 F F 回路 F 5 0 0 には、通常動作時に複数の異なるクロック信号 N C K 1、N C K 2、N C K 3 が入力され、それぞれがツリー構造で伝播され、通常動作用のクロック回路が複数のツリー構造で構

成されるものとしたが、複数のスキャン用 F F 回路 F 5 0 0 に通常動作時に同じクロック信号 N C K が入力され、通常動作用のクロック回路が 1 つのツリー構造で構成されてあってもよい。また、スキャンテスト時に同期する全てのスキャン用 F F 回路 F 5 0 0 に対し 1 つの格子配線 S 5 0 0 を設けることで、1 つのチップ内には 1 つの格子配線 S 5 0 0 を設ければすむ。

【 0 0 5 8 】

【発明の効果】

請求項 1 の発明によれば、スキャン用クロック回路と通常動作用クロック回路とを分離し、スキャン用クロック回路に格子状の配線部を設け、その格子状の配線部のスキャン用クロック信号をフリップフロップ回路へ供給するようにしたことにより、微細プロセスにおいてスキャンテスト時に遅延計算誤差や製造ばらつきの影響によるクロックスキューの発生を防止し、スキャンチェーン回路の誤動作を防止することができる。

【 0 0 5 9 】

請求項 2 の発明によれば、請求項 1 の効果に加え、格子状の配線部の中央にスキャン用クロック信号が伝播されてくるので、格子状の配線部の任意の位置でフリップフロップ回路へ供給するスキャン用クロック信号を取り出しても、各フリップフロップ回路におけるスキャン用クロック信号の遅延差の発生を防止できる。

【 0 0 6 0 】

請求項 3 の発明によれば、請求項 1 または 2 の効果に加え、セレクト回路を設けることで、フリップフロップ回路へ入力するクロックを通常動作時とスキャンテスト時とで容易に切り替えることができる。

【 0 0 6 1 】

請求項 4 の発明によれば、請求項 1 ～ 3 のうちのいずれかの効果に加え、通常動作用クロック信号の伝播経路をツリー状に構成したことにより、通常動作用クロック回路の回路構成を小さくして、通常動作時に同期するフリップフロップ回路の通常動作用クロック信号の遅延を制御することができ、回路構成が小さくなることでクロックの遅延が削減され、製造ばらつきの影響を受けにくくなる。

【 0 0 6 2 】

請求項 5 の発明によれば、請求項 1 ～ 3 のうちのいずれかの効果に加え、通常動作クロック回路で伝播される通常動作クロック信号が複数種類ある場合に、各種類ごとの通常動作クロック信号の伝播経路をツリー状に構成したことにより、通常動作クロック回路の回路構成を小さくして、通常動作時に同期するフリップフロップ回路の通常動作クロック信号の遅延を制御することができ、回路構成が小さくなることでクロックの遅延が削減され、製造ばらつきの影響を受けにくくなる。

【 0 0 6 3 】

請求項 6 の発明によれば、請求項 1 ～ 5 のうちのいずれかの効果に加え、スキャン用クロック回路の格子状の配線部を駆動する駆動素子の電源配線が通常動作クロック回路を構成する素子の電源配線に比べて配線幅が太く低抵抗であることにより、駆動素子による I R - D r o p を防止し、スキャンテスト時の動作を安定化させることができる。

【 0 0 6 4 】

請求項 7 の発明によれば、請求項 1 ～ 5 のうちのいずれかの効果に加え、スキャン用クロック回路の格子状の配線部を駆動する駆動素子の電源電位を、通常動作クロック回路を構成する素子の電源電位よりも低くすることにより、格子状の配線部を駆動する駆動素子の出力信号の振幅幅を他の信号に比べて小さくし、面積増加を最低限度に抑え、配線容量の大きい格子状の配線部の電源電位を低くすることで消費電力を低減することができる。

【 0 0 6 5 】

請求項 8 の発明によれば、請求項 1 ～ 5 のうちのいずれかの効果に加え、スキャン用クロック回路の格子状の配線部を駆動する駆動素子から格子状の配線部を介してそれぞれのフリップフロップ回路に伝播されるスキャン用クロック信号の駆動素子からの最短の伝播経路が長いフリップフロップ回路から短いフリップフロップ回路に向けてスキャンチェーン接続したことにより、格子状の配線部の遅延差とフリップフロップ回路の I R - D r o p 量の差による遅延差が要因となるホールドエラーが防止され、スキャンテスト時の誤動作を防止することができる。

【0066】

請求項9の発明によれば、請求項1～5のうちのいずれかの効果に加え、通常動作クロック回路の通常動作クロック信号の伝播経路となる配線の一部をスキャン用クロック回路の格子状の配線部の配線と並行に配置し、通常動作時にはスキャン用クロック信号に代えて接地電位に固定された信号を用い、スキャンテスト時には通常動作クロック信号に代えて接地電位に固定された信号を用いることにより、それぞれの配線がシールドの役割を果たし、配線面積を増加させることなくクロストークノイズを防止することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態の半導体集積回路に係わる通常動作のクロック配線とスキャン用のクロック配線構造を示す図

【図2】

本発明の第1の実施の形態におけるスキャン用のクロック配線構造と素子との配置関係を示す図

【図3】

本発明の第1の実施の形態におけるセクタ回路に対するフリップフロップ回路の接続例を示す図

【図4】

本発明の第2、第3の実施の形態の半導体集積回路に係わる通常動作のクロック配線とスキャン用のクロック配線構造と電源配線構造を示した図

【図5】

本発明の第4の実施の形態の半導体集積回路に係わるスキャン用のクロック配線構造とスキャンチェーンの接続の配線構造を示した図

【図6】

本発明の第5の実施の形態の半導体集積回路に係わる通常動作のクロック配線とスキャン用のクロック配線構造を示した図

【図7】

従来の半導体集積回路のクロック回路構造を示す図

【符号の説明】

F 5 0 0 スキャン用のフリップフロップ回路

S L 5 0 0 セレクタ回路

S 5 0 0 スキャン用クロック回路の格子配線

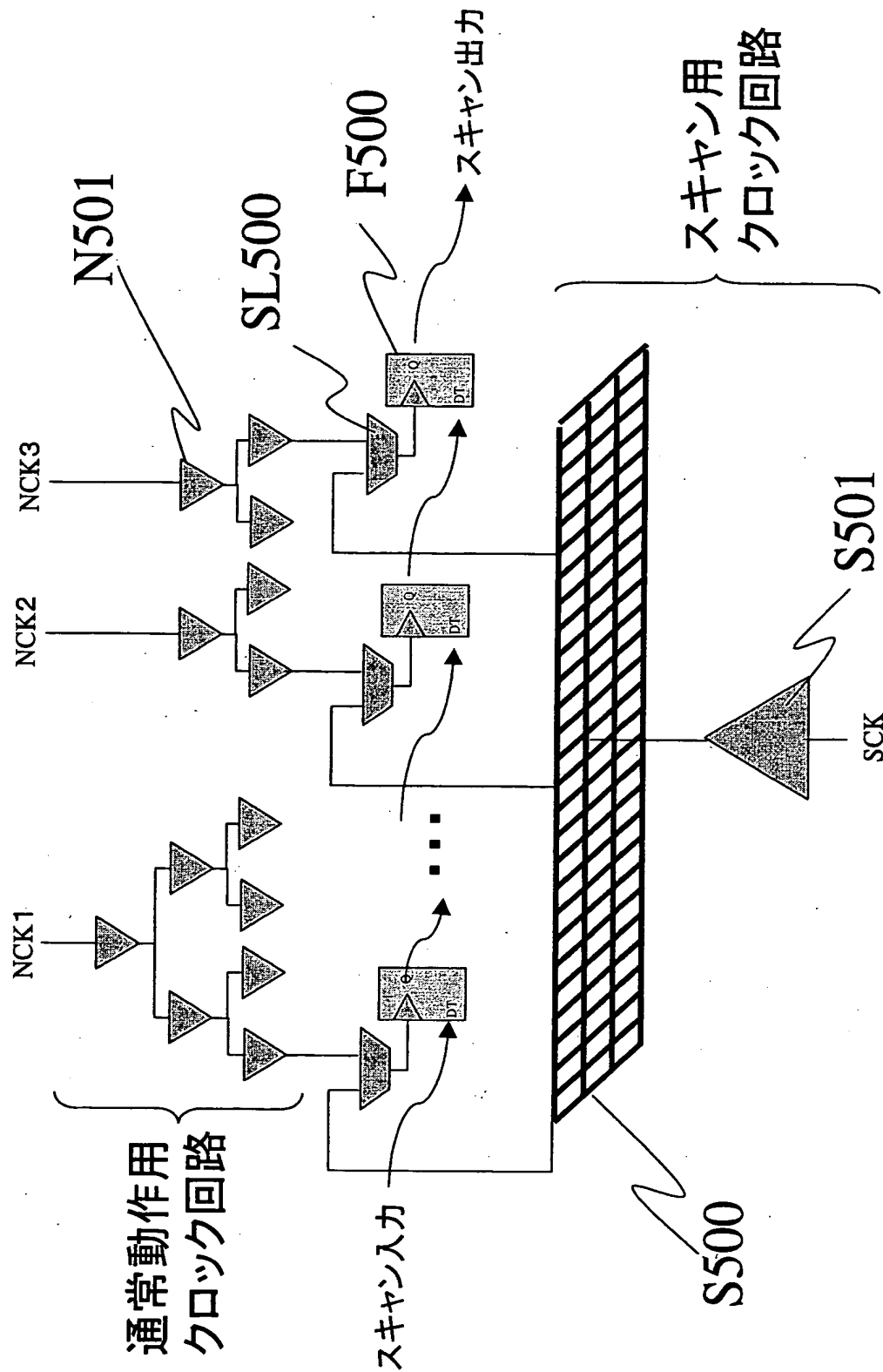
S 5 0 1 スキャン用クロック回路の駆動素子

N 5 0 1 通常動作用クロック回路の駆動素子

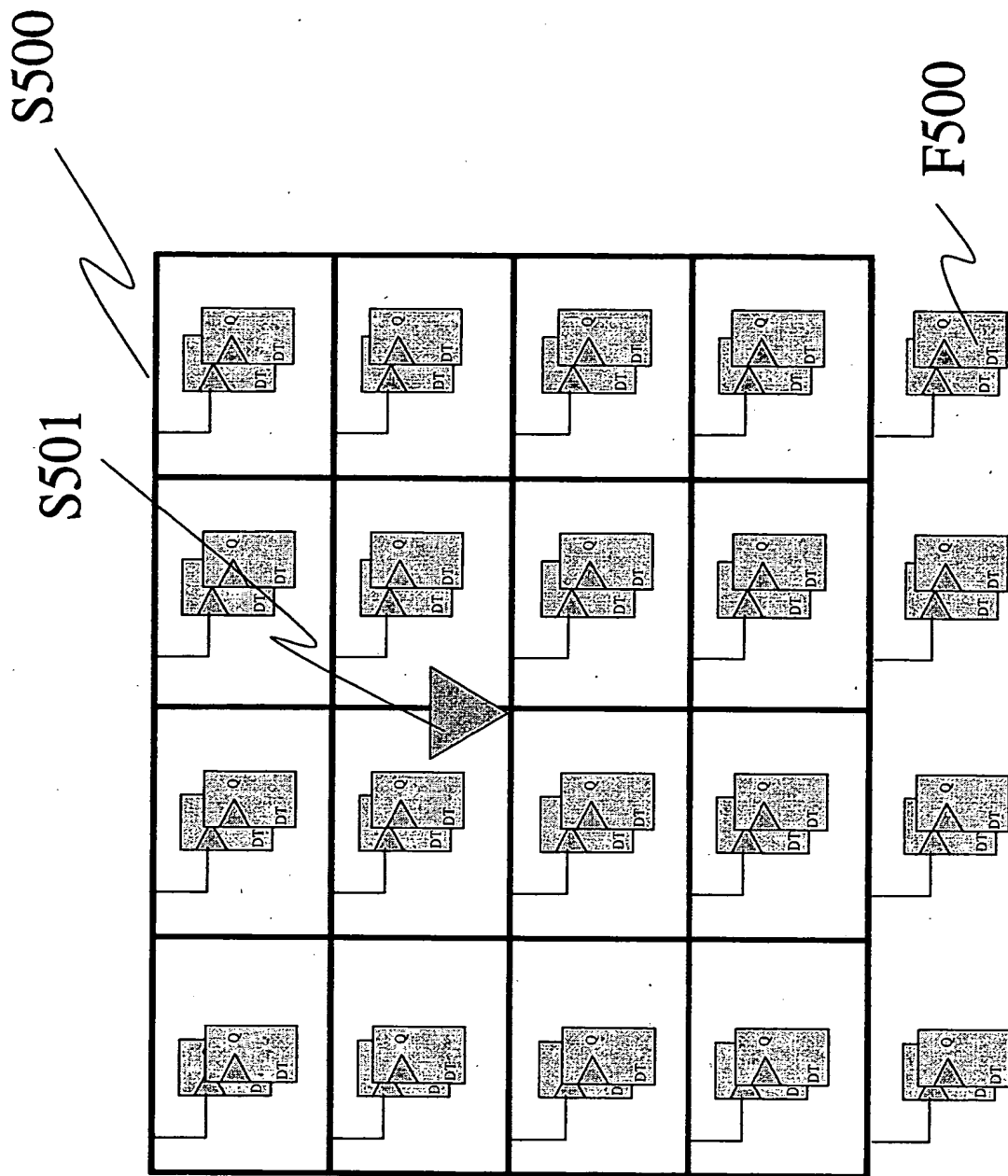
【書類名】

図面

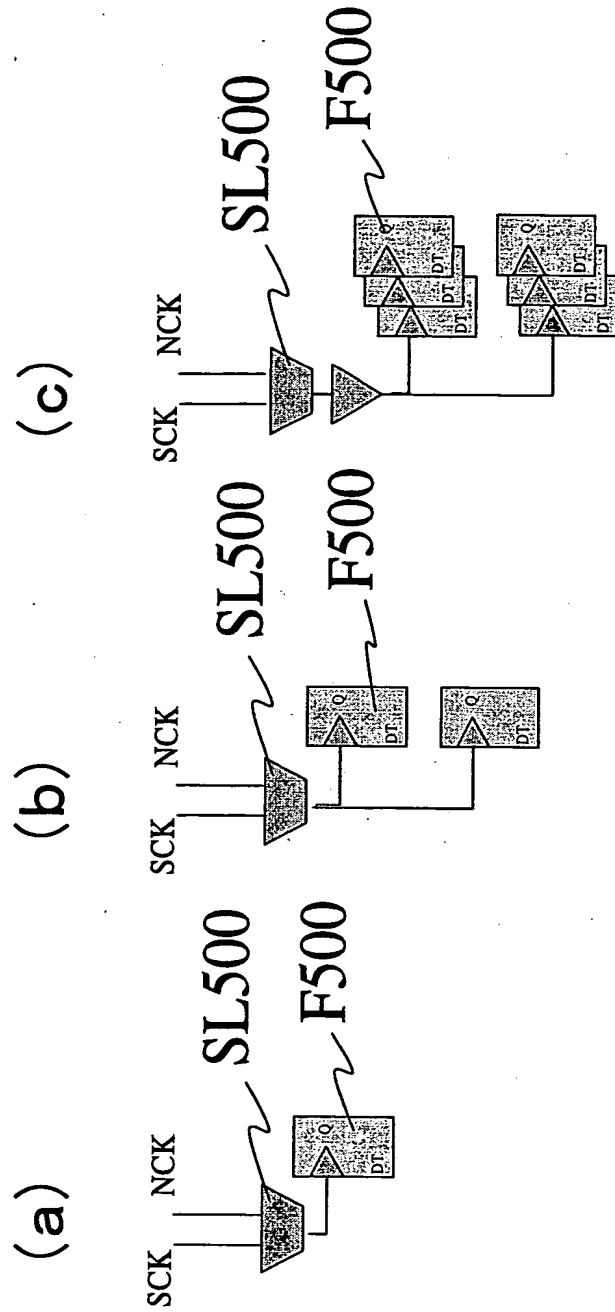
【図 1】



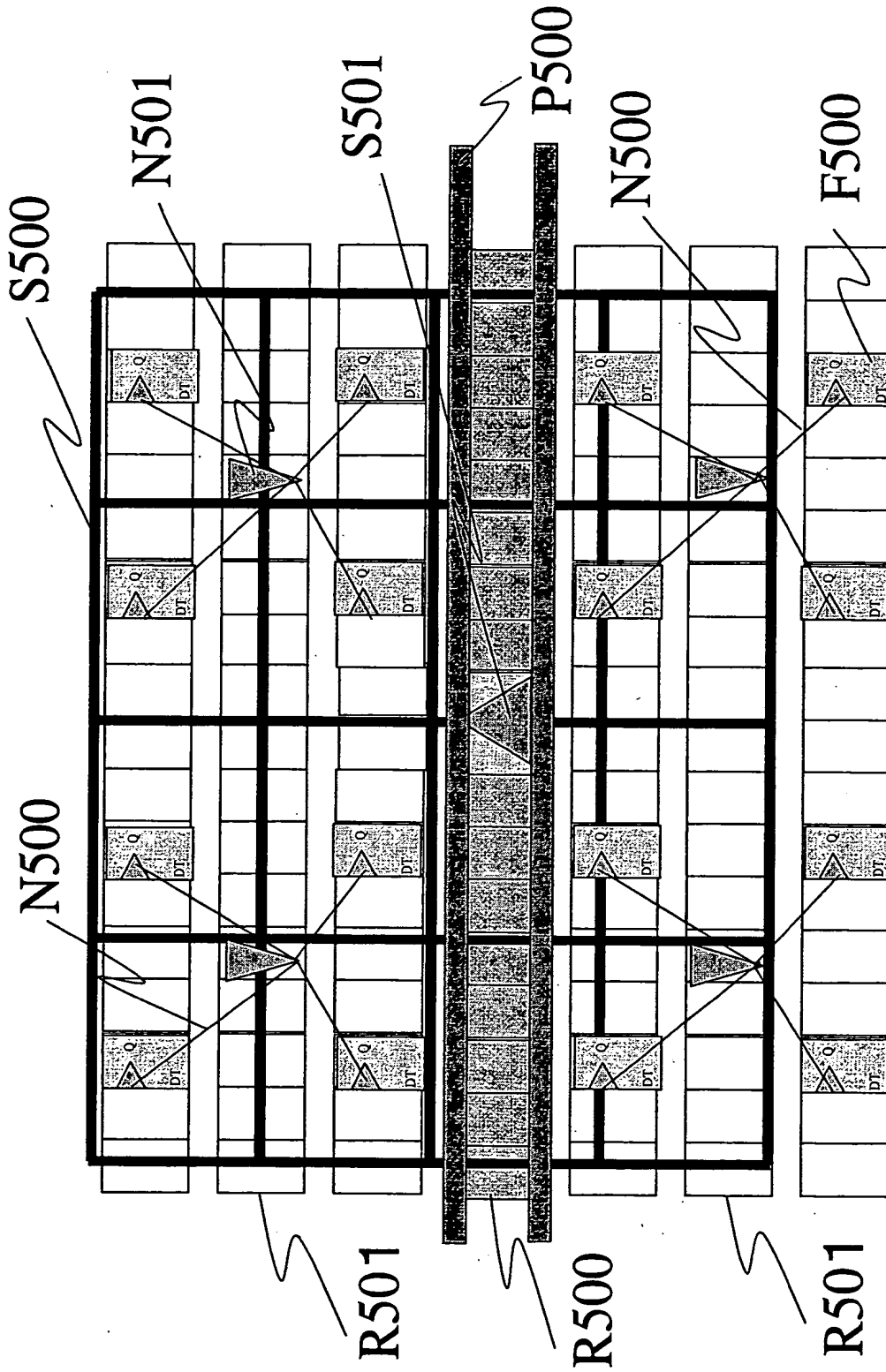
【図 2】



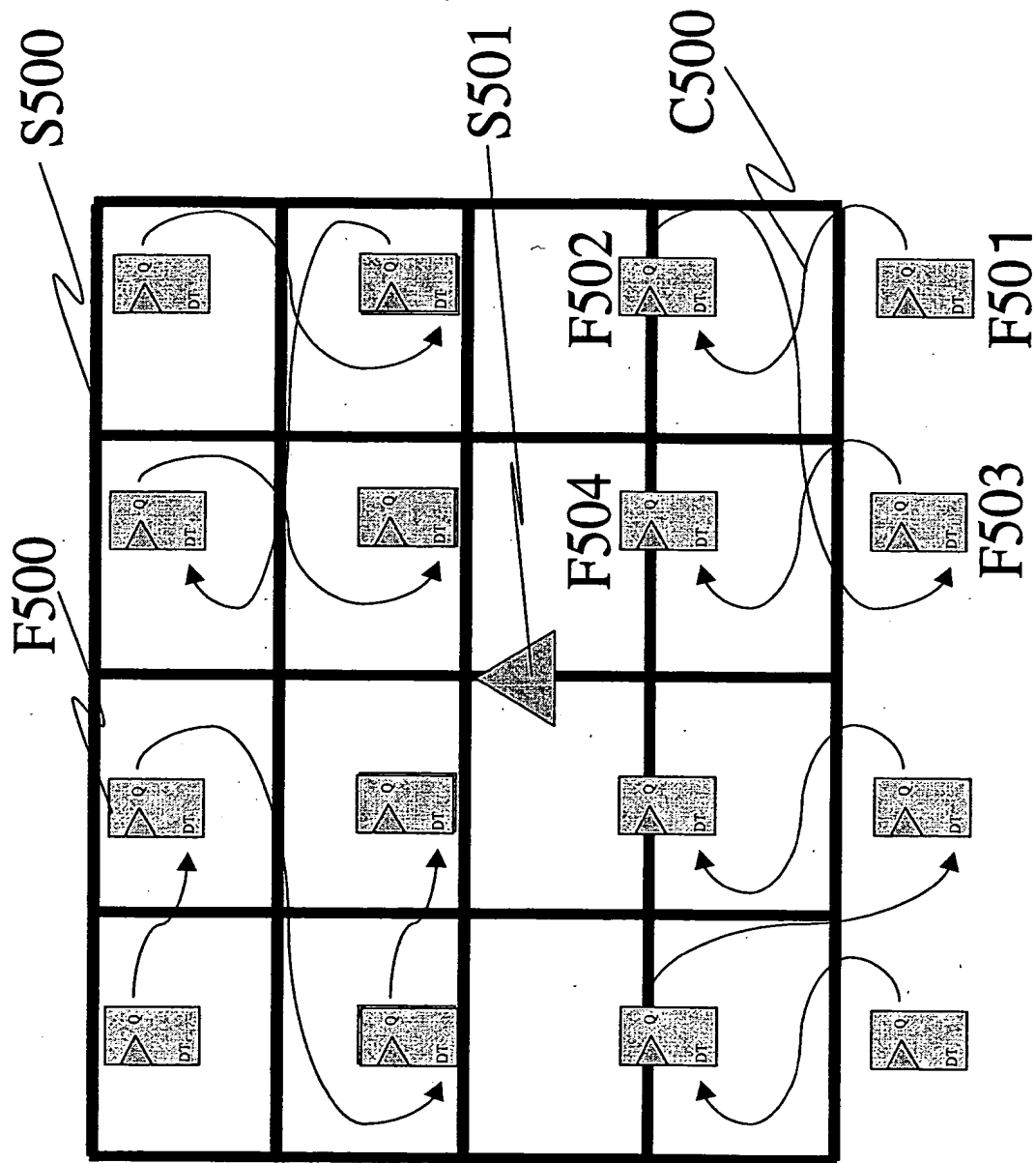
【図 3】



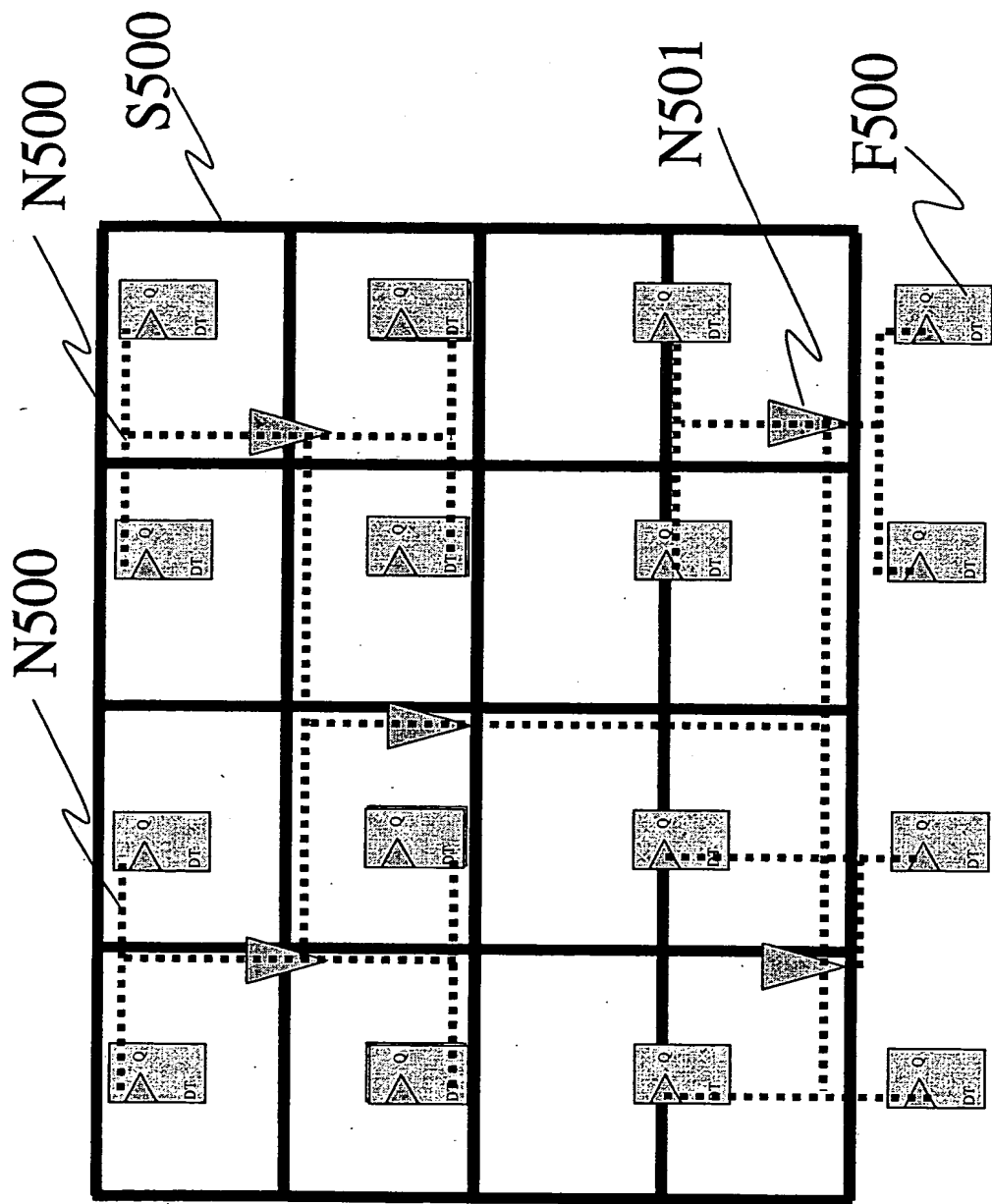
【図 4】



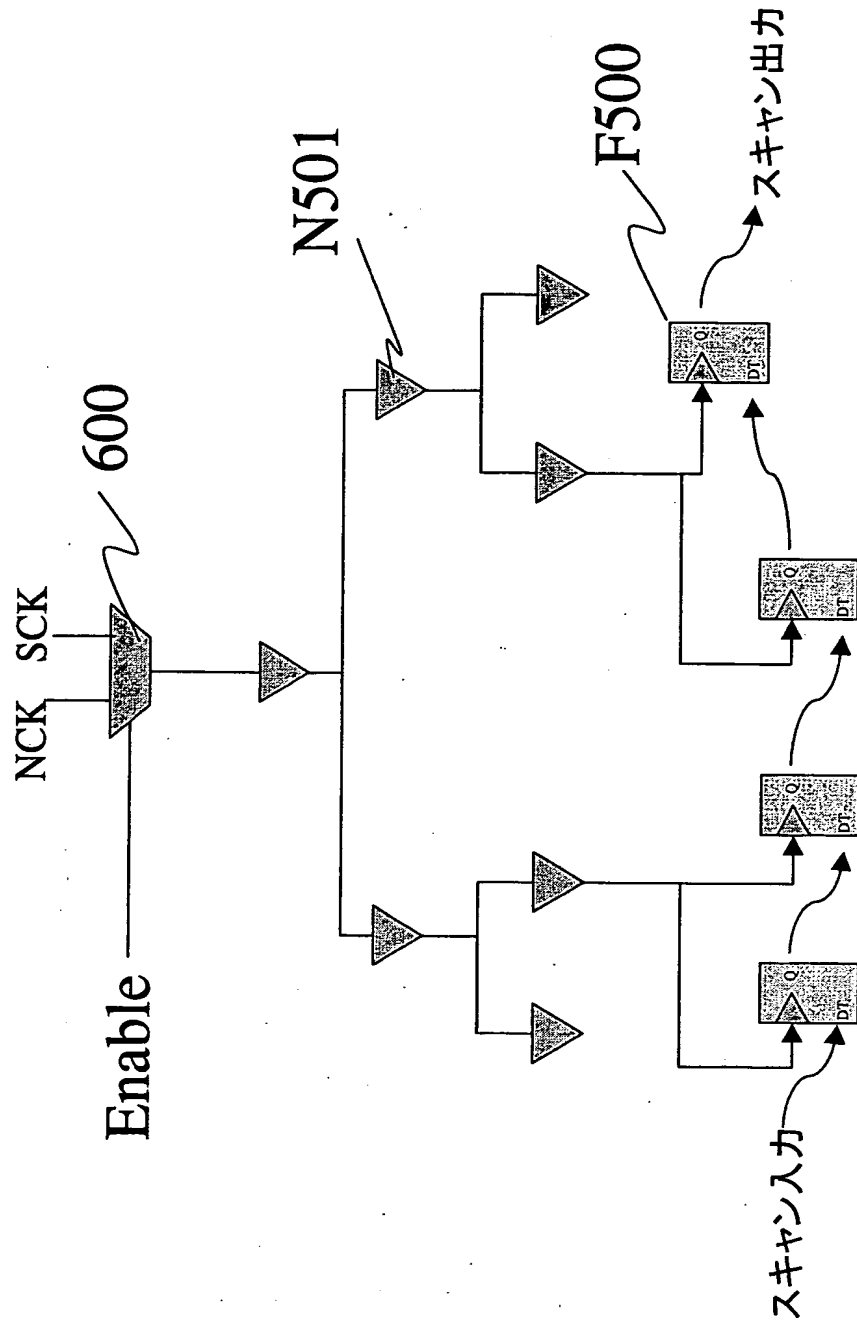
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 微細プロセスにおいて製造ばらつき、遅延計算誤差などシミュレーションで検出されない要因により発生するスキューから、スキャンテスト時に回路の誤動作が発生するという問題があった。

【解決手段】 スキャン用クロック回路を通常動作クロック回路と分離し、スキャン用クロック回路に格子配線 S 5 0 0 を設け、その格子配線 S 5 0 0 からスキャン用クロック信号 S C K をスキャン用のフリップフロップ回路 F 5 0 0 へ供給するようにしたことにより、微細プロセスにおいて遅延計算誤差や製造ばらつきの影響によるクロックスキューの発生を防止し、スキャンテスト時の誤動作を防止することができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2003-077807
受付番号	50300460289
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 3月24日

<認定情報・付加情報>

【提出日】 平成15年 3月20日

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社